



Docket No.: 492322017700

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Takashi NOMA et al.

Application No.: 10/828,556

Group Art Unit: 2811

Filed: April 21, 2004

Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

Commissioner for Patents
2011 South Clark Place
Room 1B03, Crystal Plaza 2
Arlington, Virginia, 22202

Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-120228	April 24, 2003

In support of this claim, a certified copy of the original foreign application is filed herewith.

Dated: August 30, 2004

Respectfully submitted,

By 

Adam Keser

Registration No.: 54,217
MORRISON & FOERSTER LLP
1650 Tysons Blvd. Suite 300
McLean, Va. 22102
(703)760-7301

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Morrison & Foerster
703-700-7301
T. NOMA et al.

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 2003年 4月24日

出 願 番 号
Application Number: 特願2003-120228
[ST. 10/C]: [JP2003-120228]

出 願 人
Applicant(s): 三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 3月 1日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

出証番号 出証特2004-301504

【書類名】 特許願

【整理番号】 KAA1030023

【提出日】 平成15年 4月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 野間 崇

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 鈴木 彰

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 篠木 裕之

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 知的財産センター東
京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体チップ上に形成した絶縁膜を介して形成された第 1 の配線と、

前記第 1 の配線上を含む前記絶縁膜上に接着剤を介して接着された支持板と、支持板が接着されていない面を、チップのスクライブラインに沿ってエッチングした後に形成された絶縁膜と、

前記第 1 の配線の側部及び底部に接続され、支持板が接着された面と反対側の面に形成された絶縁膜を介して前記半導体チップ裏面にまで延在された第 2 の配線と、

前記第 2 の配線の所望位置に形成された導電端子を持ち、

前記支持板を薄く加工し、前記半導体チップによる半導体装置の上方に他の半導体装置を積み重ねることができるように、電氣的な接続を行うための開口部を備えていることを特徴とする BGA 型の半導体装置。

【請求項 2】 半導体チップ上に形成した絶縁膜を介して形成された第 1 の配線が、前記半導体チップの側面部方向に延在する部分と、他の半導体装置を積み重ねた際に、他方の半導体装置の導電端子と接続する部分になるものの 2 種類あることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体チップ上に接着剤を介して接着された支持板に、当該チップ上方に積み重ねられる他の半導体装置の導電端子配置と同様な配置となるように、接続用の開口部が設けられていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 導電端子が金バンプになっていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 半導体チップ上に形成した絶縁膜を介して形成した第 1 の配線が、前記半導体チップの側面部方向に延在する部分と、

後に、他の半導体装置を積み重ねた際に、他方の半導体装置の導電端子と電氣的に接続する部分となるものの 2 種類あり、

前記半導体チップ上に接着剤を介して接着した支持板には、後に前記半導体チップからなる半導体装置の上方に積み重ねる他方の半導体装置の導電端子と電氣的に接続するための開口部が設けられており、

前記第 2 の配線の所望位置に形成された導電端子が、金バンプになっており、研削、研磨、ウエットエッチング、ドライエッチングのいずれかの方法で、支持板の厚さを薄くしていることを特徴とする半導体装置。

【請求項 6】 半導体チップ上に接着剤を介して接着された支持板を、研磨、穴あけを行い、接続用のパッドを開口することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体チップ上に接着剤を介して接着された支持板を研磨する方法として、支持板が接着されている面を上側にして、支持板上に薬液を滴下し、ウエハを回転させることにより薬液を支持板全体に行き渡らせ、エッチングを行うことを特徴とする半導体装置の製造方法。

【請求項 8】 半導体チップの表面に、接続用のパッドを開口させた後、パッド表面をメッキによって被覆することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体チップ上に形成した絶縁膜を介して形成された第 1 の配線を、前記半導体チップの側面部方向に延在する部分と、後に前記半導体チップからなる半導体装置を積み重ねた際に、他方の半導体装置の導電端子と電氣的に接続する部分になるものの 2 種類あるようにし、

前記第 1 の配線の側部及び底部に接続され、支持板が接着された面と反対側の面に形成された絶縁膜を介して前記半導体チップ裏面にまで延在された第 2 の配線を形成し、

前記半導体チップ上に接着剤を介して接着された支持板には、後に前記半導体チップからなる半導体装置上方に積み重ねられる他方の半導体装置の導電端子と電氣的に接続できるように開口部を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はボール状の導電端子を有するBGA (Ball Grid Array) 型の半導体装置を積み重ねることで、より高機能な半導体装置を低コストで製造するために有用な技術に関する。

【0002】

【従来の技術】

近年、新たなパッケージ技術として、MCM (Multi Chip Module) が注目されている。MCMとは、一つの半導体装置の中に複数の半導体チップを組み込むことによって、高機能な半導体装置を製造する技術である。MCMには、半導体チップの配置によって、多くの種類があるが、最近特に注目されているのが、チップを積層することによりMCMを製造する方法である。その例として、積層型MCM半導体装置を模式的に示したものを図14に示す。

【0003】

図14に示されている半導体装置200は、チップの厚さを薄くした半導体チップ204を複数枚積層したものである。半導体チップ204を貫通するヴィアホール205をレーザ加工により形成し、当該ヴィアホールの側面にバリアメタル202をスパッタ法やCVD法で形成する。その後、銅メッキを行い、前記ヴィアホール205内に導電材料を埋め込むことにより、上下のチップを接続する配線を形成する。チップ間の絶縁は、熱可塑性フィルム203を挿入することで保たれる。このような手順を繰り返し行うことにより、複数の半導体チップを積層することができる。最も下になる部分には、導電端子206を取りつけることによって外部の回路との接続を行う。以上のような手順で半導体装置200を作成することができる。

【0004】

上述した半導体装置の製造方法は、特許文献1に示されている。

【0005】

【特許文献1】

特開平9-232503号公報

【0006】

【発明が解決しようとする課題】

前述した方法で積層型MCMである半導体装置200を製造するためには、数十 μ m程度の直径、深さを持つビアホール形成、及びビアホール内への導電材料の埋め込みを行う必要がある。その結果、ビアホール加工用のレーザ加工機、バリアメタル成膜用のバリアCVD装置、ビアホールの埋め込みを行うための銅メッキ装置といった、従来の半導体のパッケージングでは使われていなかった、高価な装置が必要となるという問題があった。

【0007】

そこで、本発明では、後述する半導体装置100のように、前述したような特殊な装置を必要としない小型の半導体装置を積み重ねることによって、多くの費用をかけることなく、積層型MCMを実現しようとするものである。

【0008】

ここで、本発明で用いる半導体装置について説明する。

【0009】

近年、パッケージ技術として、CSP (Chip Size Package) が注目されている。CSPとは、半導体チップの外形寸法とほぼ同サイズの外形寸法を有する小型パッケージをいう。従来より、CSPの一種として、BGA (Ball Grid Array) 型の半導体装置が知られている。このBGA型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他方の面上に形成される半導体チップと電氣的に接続したものである。

【0010】

そして、このBGA型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電氣的に接続している。

【0011】

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP (Small Outline Package) やQFP (Quad Flat Package) 等の他のCSP型半導体装置に比べて、多数の導電端子を設けることができ、しかも小型化できるという長所を有する。このBGA型の半導体装置は、例えば携帯電話機に搭載さ

れるデジタルカメラのイメージセンサチップとしての用途がある。

【0012】

図15は従来のBGA型の半導体装置の概略構成を成すものであり、図15(A)は、このBGA型の半導体装置の表面側の斜視図である。また、図15(B)はこのBGA型の半導体装置の裏面側の斜視図である。

【0013】

BGA型の半導体装置100は、第1及び第2のガラス基板104a、104bの間に半導体チップ101がエポキシ樹脂105a、105bを介して封止されている。第2のガラス基板104bの一主面上、即ちBGA型の半導体装置100の裏面上には、ボール状の端子（以下、導電端子111と称す）が格子状に複数配置されている。この導電端子111は、第2の配線109を介して半導体チップ101へと接続される。複数の第2の配線109には、それぞれ半導体チップ101の内部から引き出されたアルミニウム配線が接続されており、各導電端子111と半導体チップ101との電氣的接続がなされている。

【0014】

このBGA型の半導体装置100の断面構造について図16を参照して更に詳しく説明する。図16はダイシングラインに沿って、個々のチップに分割されたBGA型の半導体装置100の断面図を示している。

【0015】

半導体チップ101の表面に配置された絶縁膜102上に第1の配線103が設けられている。この半導体チップ101は樹脂105aによって第1のガラス基板104aと接着されている。また、この半導体チップ101の裏面は、樹脂105bによって第2のガラス基板104bと接着されている。そして、第1の配線103の一端は第2の配線109と接続されている。この第2の配線109は、第1の配線103の一端から第2のガラス基板104bの表面に延在している。そして、第2のガラス基板104b上に延在した第2の配線109上には、ボール状の導電端子111が形成されている。

【0016】

上述した技術は、以下の特許文献2に記載されている。

【0017】**【特許文献2】**

特許公表 2002-512436 号公報

【0018】**【課題を解決するための手段】**

本発明で対象としている BGA 型半導体装置 100 では、ガラス基板を半導体チップ 101 の両面に樹脂 105 を介して接着している。そのため、半導体装置 100 の厚さの多くの部分は、2 枚のガラス基板及び樹脂が占めることとなる。その結果、半導体装置 100 を積層するには、厚さを薄くする必要がある。

【0019】

そこで、本発明では、以下に示す内容の加工を行い、半導体装置 100 の薄型化を図り、比較的安価な装置の利用で、積層型 MCM の半導体装置を製造できるようにする。

【0020】

(1) ガラス基板の 1 枚化…半導体装置 100 で最も厚い部材である、ガラス基板を 2 枚から 1 枚に削減する。

【0021】

(2) ガラス基板の薄型化…ウエハにガラス基板を接着した後、半導体装置完成の前に、ガラス基板を薄くする工程を入れる。

【0022】

(3) 接続端子の開口…他の半導体装置を積み重ねる時に、他の半導体装置との接続端子となるパッドをチップ表面に開口する。

【0023】**【発明の実施の形態】**

次に、本発明を利用した半導体装置の製造過程を、図 1 乃至図 13 を参照しながら順次説明する。

【0024】

図 1 参照：後に半導体チップ 1 となる半導体ウエハ 1a を用意する。これらの半導体チップ 1 は、例えば CCD のイメージセンサや半導体メモリのチップであ

り、半導体のウエハプロセスにより形成される。その表面上に絶縁膜 2 を介して、半導体チップ 1 毎に分断するための境界 S（ダイシングラインまたはスクライプラインと呼ばれる。）付近で、所定の間隙を有するようになっている第 1 の配線 3 を形成する。ここで、第 1 の配線 3 は、半導体チップ 1 のボンディングパッドから、境界 S 付近まで拡張されたパッドである。すなわち、第 1 の配線 3 は外部接続パッドであって、半導体チップ 1 の図示しない回路と電氣的に接続されている。また、後に他の半導体装置を積層する際に、上方に位置する半導体装置の導電端子との接点になる部分についても、第 1 の配線 3 と同時に作成する。

【0025】

続いて、第 1 の配線 3 が形成された半導体ウエハの表面上に、支持板となるガラス基板 4 を透明の接着剤となるエポキシ樹脂 5 を用いて接着する。なお、ここでは、支持板としてガラス基板、接着剤としてエポキシ樹脂を使用しているが、シリコン基板やプラスチックの板を支持板として用いてもよく、接着剤はこれらの支持板に対して適切な接着材を選択すればよい。

【0026】

図 2 参照：前記半導体ウエハ 1 a について、ガラス基板 4 を接着した面と反対側の面をバックグラインドして、チップの厚さを薄くする。

【0027】

バックグラインド後の面では、スクラッチが発生し、幅、深さが数 μm 程度になる凹凸ができる。これを小さくするために、半導体ウエハ 1 a の材料であるシリコン（以下 Si）と絶縁膜 2 の材料であるシリコン酸化膜（以下 SiO_2 ）と高い選択比を持つ薬液を用いてウェットエッチングを行う。

【0028】

薬液としては、前記したように Si と SiO_2 で高い選択比をもっていれば特別な限定をするものではない。例えば、本発明では、シリコンエッチング溶液として、フッ化水素酸 2.5%、硝酸 50%、酢酸 10% 及び水 37.5% の溶液を使用している。

【0029】

図 3 参照：前記半導体チップ 1 についてガラス基板 4 と反対側の面に対して、

境界 S に沿って開口部を設けた不図示のレジストパターンをマスクとして、等方性エッチングを行うことにより、境界 S の部分で逆 V 字型の溝が形成され、絶縁膜 2 が露出した状態となる。なお、このエッチングは、ドライエッチング、ウェットエッチングのどちらで行ってもよい。

【0030】

エッチング後の面では、面内の凹凸や残渣、異物があり、また、図 3 中に丸く囲んで a、b として示したように、逆 V 字型の溝で角になる部分が尖った形状になっている。

【0031】

図 4 参照：そこで、残渣や異物の除去、尖った部分の先端部を丸めるためにウェットエッチングを行う。これにより、図 3 で丸く囲んだ a、b の尖った部分は、図 4 で丸く囲んだ a、b に示すように滑らかな形状になる。

【0032】

図 5 参照：前記半導体チップ 1 において、ガラス基板 4 と反対側の面に対して、絶縁膜 7 の成膜を行う。本実施例では、シランベースの酸化膜を成膜する。

【0033】

図 6 参照：前記半導体チップ 1 において、ガラス基板 4 の反対側の面に不図示のレジストを塗布し、パターニングを行う。前記レジスト膜をマスクにして、絶縁膜 7、絶縁膜 2 をエッチングし、第 1 の配線 3 の下面の一部を露出させる。

【0034】

次に、後に導電端子 11 を形成する位置と重なる位置に柔軟性を有する緩衝部材 8 を形成する。なお、緩衝部材 8 は導電端子 11 に加わる力を吸収し、導電端子 11 の接合時のストレスを緩和する機能を持つものであるが、本発明は緩衝部材 8 の不使用を制限するものではない。

【0035】

次に、前記ガラス基板 4 の反対側の面に、第 2 の配線 9 を形成する。これにより、第 1 の配線 3 と第 2 の配線 9 が電氣的に接続される。

【0036】

図 7 参照：前記ガラス基板 4 の反対側の面に、不図示のレジストを塗布し、境

界Sに沿う部分を開口させるようにパターン形成を行う。該レジストをマスクとしてエッチングを行い、境界S付近の第2の配線9を除去する。

【0037】

なお、不図示であるが、第2の配線9の形成後、ガラス基板4の反対側の面に対して無電解メッキ処理を行い、第2の配線9に対して、Ni-Auをメッキしている。

【0038】

次に、ガラス基板4の反対側の面に保護膜10を形成する。保護膜10を形成するためには、ガラス基板4の反対側の面を上に向けて、熱硬化性の有機系樹脂を上方から滴下して、半導体ウエハ自体を回転させることで、この回転により生じる遠心力を利用し、当該有機系樹脂をウエハ面上に広げる。これにより、第2の配線9の表面に保護膜10を形成することができる。

【0039】

図8参照：導電端子11を形成する部分と境界S付近の保護膜10をレジストマスクを利用したエッチングにより除去し、導電端子11を形成する。前記導電端子は、はんだバンプ及び金バンプで作成する。特に、金バンプを用いる場合、導電端子自体の厚さを、 $160\mu\text{m}$ から数 μm ～数十 μm に減少させることができる。但し、本願は、はんだバンプの使用を制限するものではない。

【0040】

図9参照：ガラス基板を削ることにより、厚さを薄くする。これにより、後述するガラス基板に開口部を設ける加工時間を短縮することができる。本実施例では、ガラス基板の厚さを $50\mu\text{m}$ から $100\mu\text{m}$ になるようにしている。

【0041】

ガラス基板の厚さを薄くする方法としては、以下のような方法がある。

【0042】

(1) バックグラインド装置でガラス基板を研削する方法。

【0043】

(2) CMP装置でガラス基板を研磨する方法。

【0044】

(3) レジスト塗布の様に、ガラス基板が接着されている面を上側にして、ガラス基板上に薬液を滴下し、ウエハを回転させることにより薬液をガラス基板全体に行き渡らせ、エッチングを行う方法。

【0045】

(4) ドライエッチングを用いてガラス基板をエッチングする方法。

【0046】

図10参照：後に別な半導体装置を積層した際に、上方の半導体装置の導電端子と接続するパッドになる部分について、レジストマスクによるパターンニングを行い、ガラス基板4と樹脂5をエッチングすることにより、開口部12を形成する。

【0047】

なお、本実施例では、ガラス基板を研磨した後に、接続用の開口部12を形成しているが、開口部12を形成した後に、ガラス基板4を研磨することによっても、同様な加工を行うことはできる。

【0048】

図11参照：前記した開口部12のパッド表面にNi、Auめっき13を形成する。

【0049】

図12参照：ダイシングにより、境界Sの部分でチップを切断する。これにより半導体装置が完成する。

【0050】

図13参照：上方のチップの導電端子と下方のチップの表面に形成されたパッドを、バンプによる金属接合で2つのチップを積み重ねる。もし、接合力が不足する場合は、アンダーフィルなどの有機系の接着剤を補助的に用いてもよい。なお、本実施例では、2つのチップを積層しているが、必要であれば、それ以上の数のチップを積み重ねることが可能である。

【0051】

【発明の効果】

本発明の効果は、BGA型半導体装置を薄型化することにより、チップ積層型

のMCMを製造するものである。これにより、銅メッキ装置、レーザ加工装置などの高価な装置を用いなくとも、チップ積層型MCM半導体装置の製造が可能となる。

【0052】

本発明において、半導体装置の積層を可能にしている技術は、以下の3点である。

【0053】

(1) 半導体チップに接着するガラスの枚数を2枚から1枚に減らしたこと。

【0054】

(2) 半導体装置の回路が形成されている面に接着したガラスを $50\mu\text{m}$ から $100\mu\text{m}$ に研磨することにより、BGA型半導体装置の全体の厚さを薄くすることが可能になったこと。

【0055】

(3) 導電端子の材質変更により、導電端子の厚さを $160\mu\text{m}$ から数 μm ～数十 μm まで薄くすることが可能になったこと。

【0056】

これらの技術を用いることにより、BGA型半導体装置の厚さは、約 $960\mu\text{m}$ から $500\mu\text{m}$ 程度へ減少する。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図2】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図3】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図4】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図5】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 6】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 7】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 8】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 9】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 1 0】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 1 1】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 1 2】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 1 3】

本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図 1 4】

従来のMCM型半導体装置の断面の模式図である。

【図 1 5】

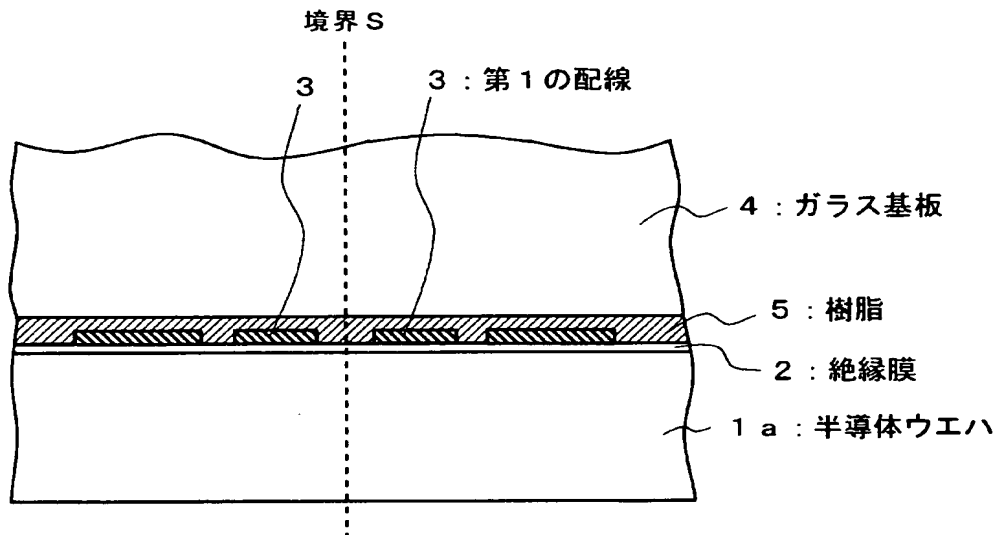
従来のBGA型半導体装置の斜視図である。

【図 1 6】

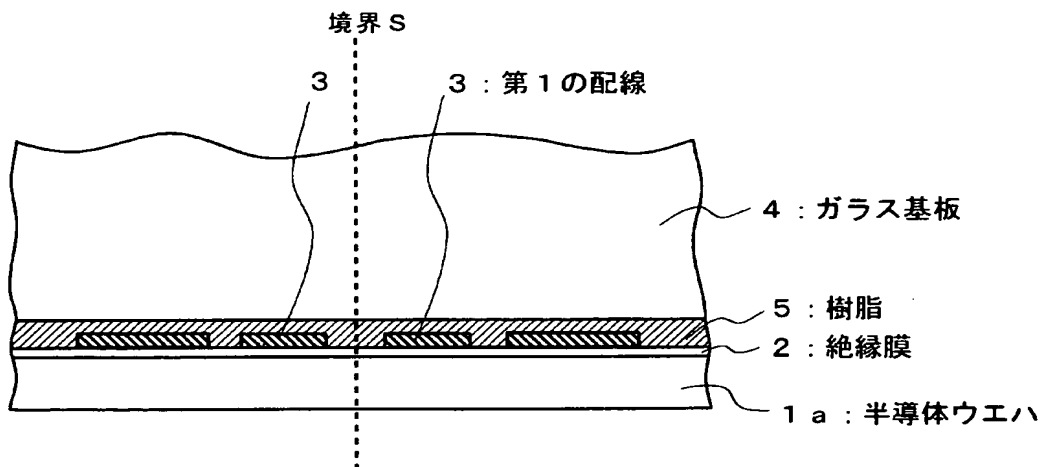
従来のBGA型半導体装置の断面図である。

【書類名】 図面

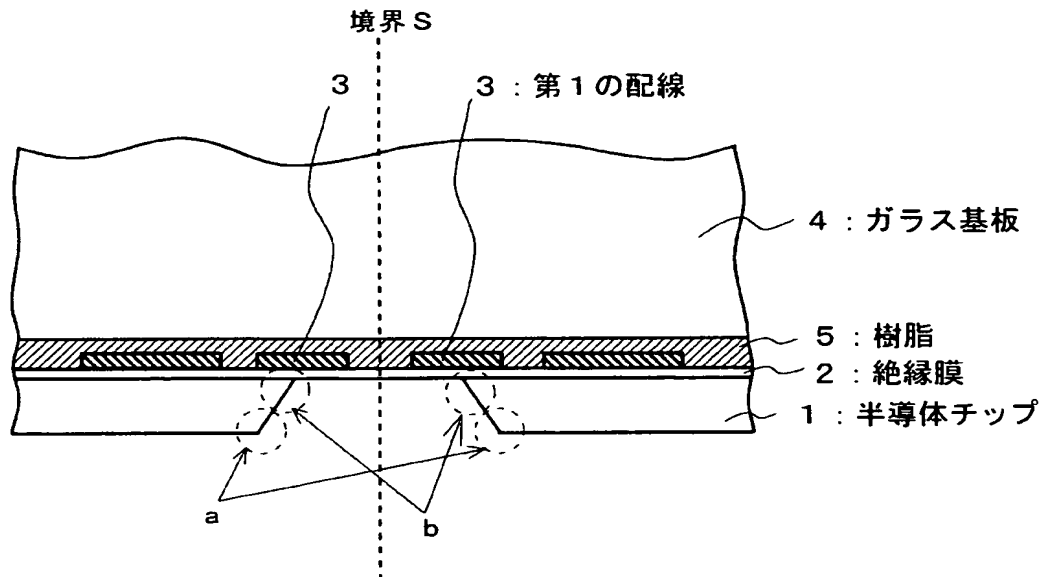
【図 1】



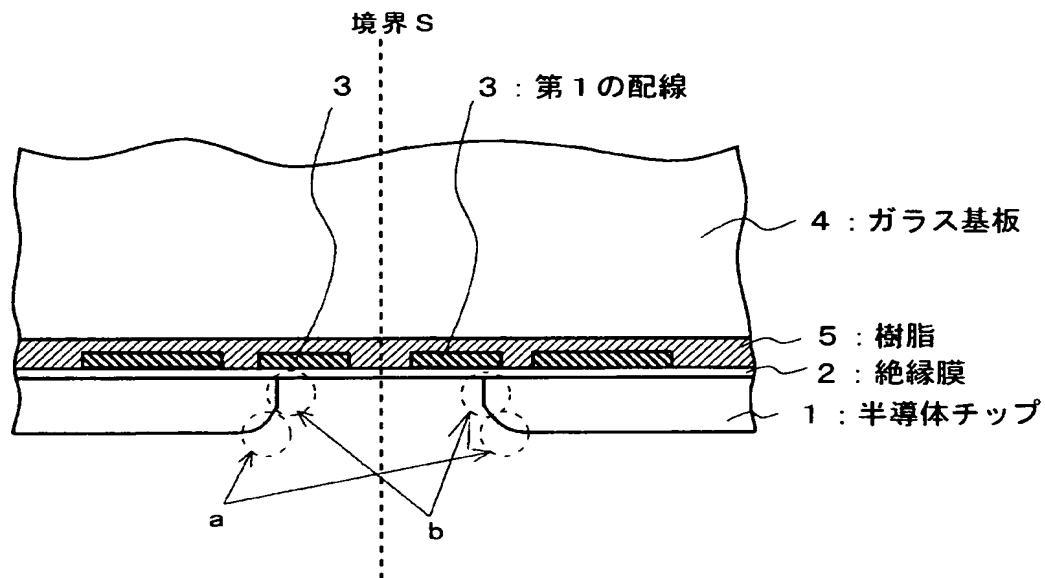
【図 2】



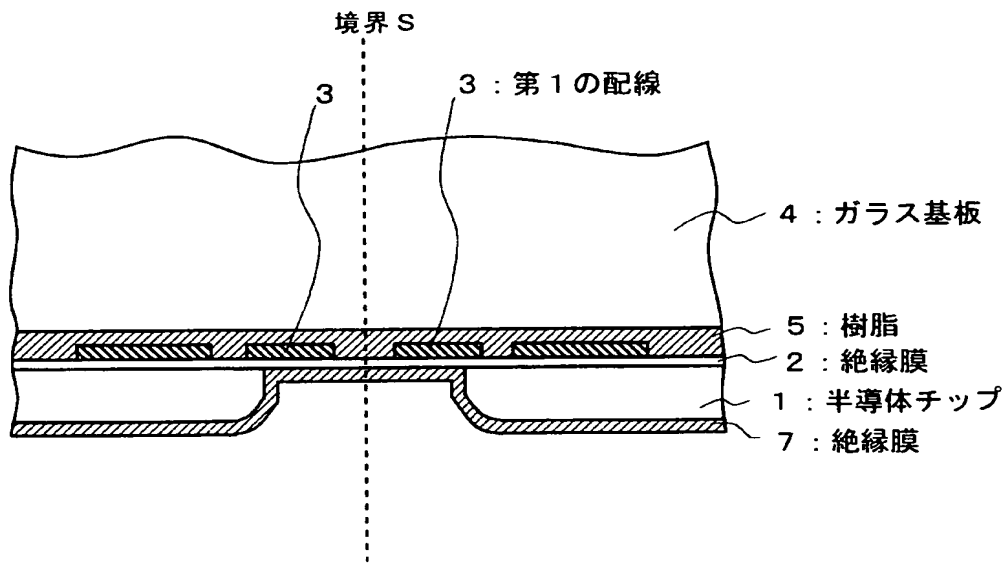
【図 3】



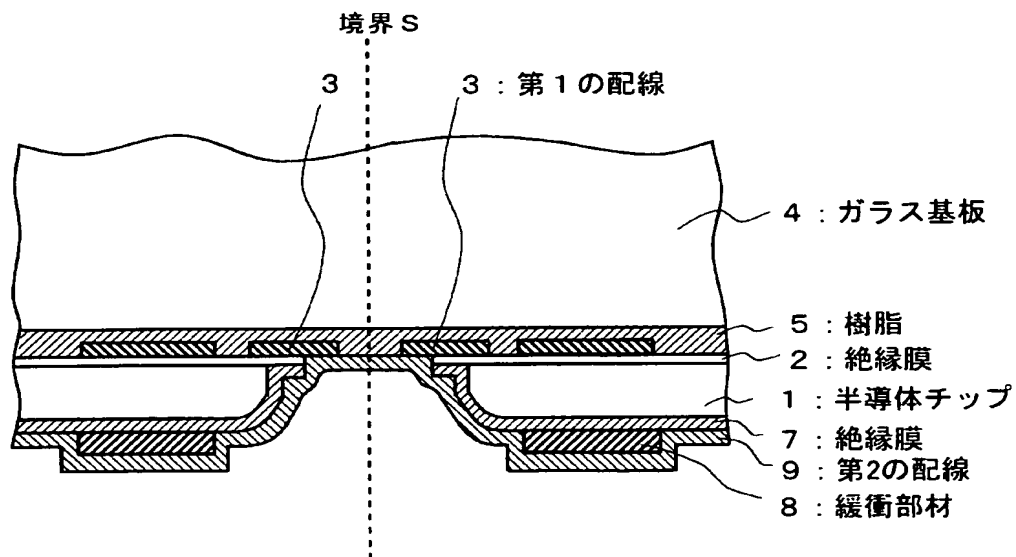
【図 4】



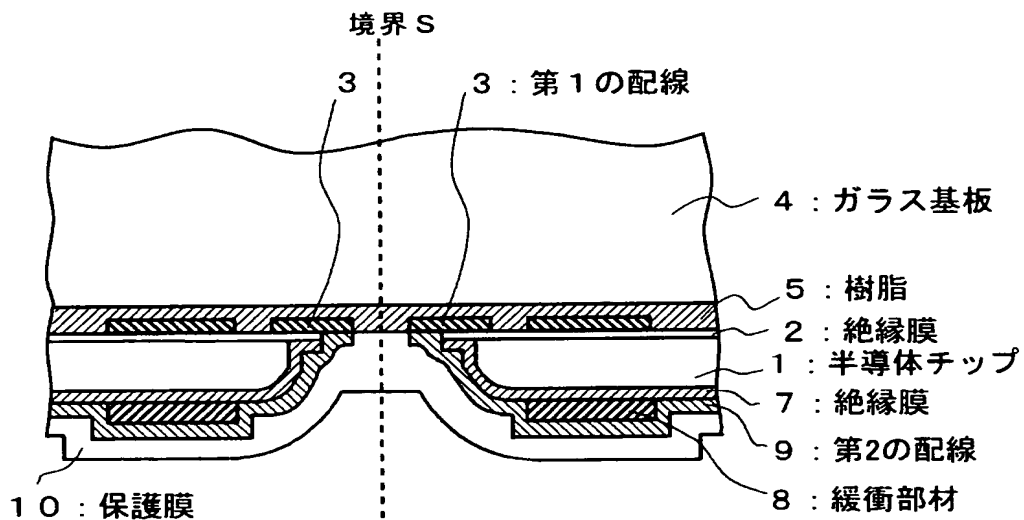
【図 5】



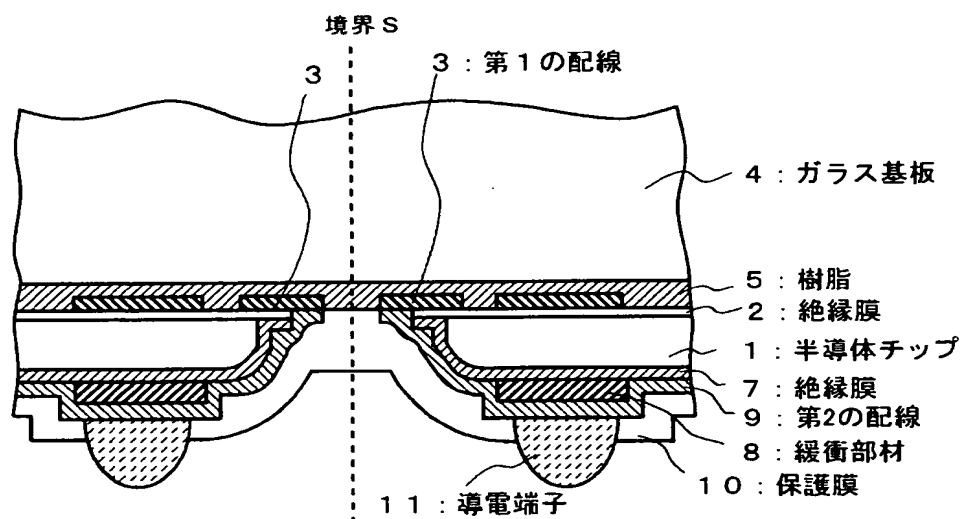
【図 6】



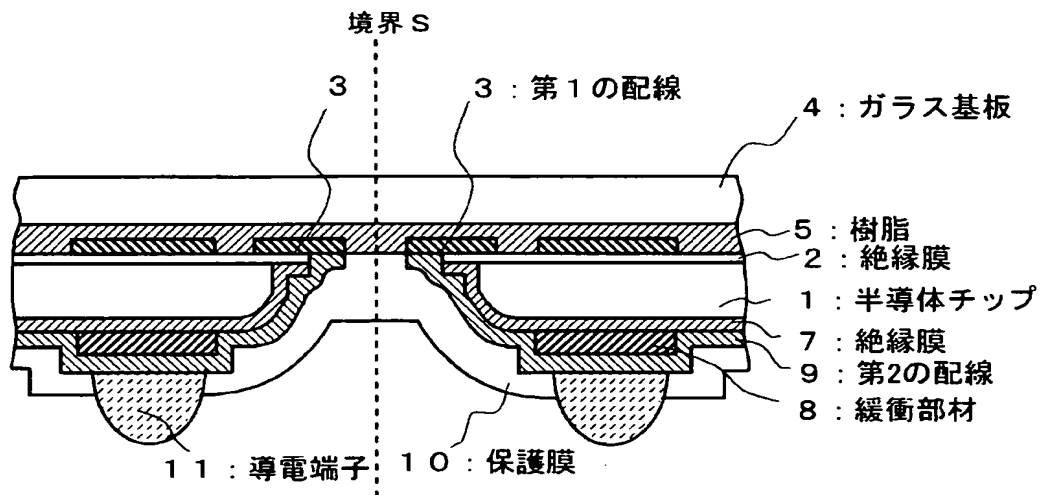
【図 7】



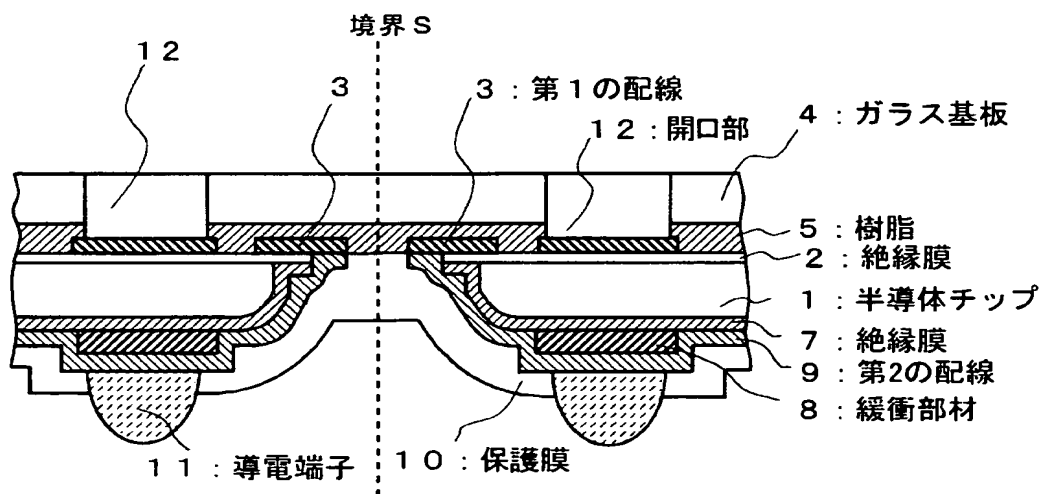
【図 8】



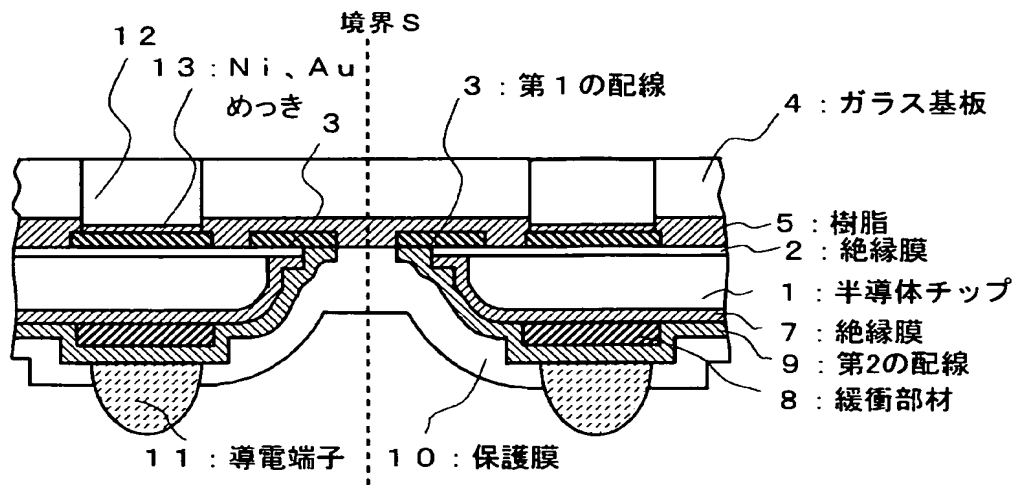
【図 9】



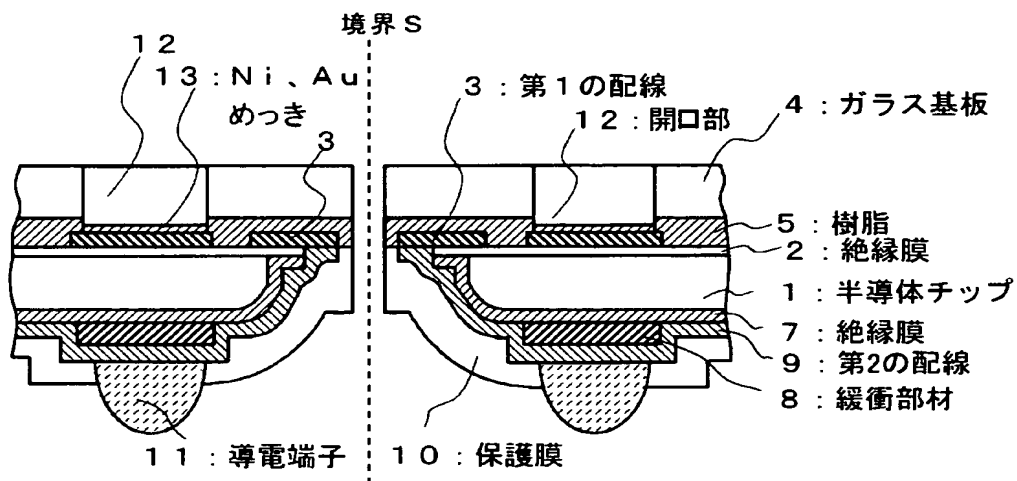
【図 10】



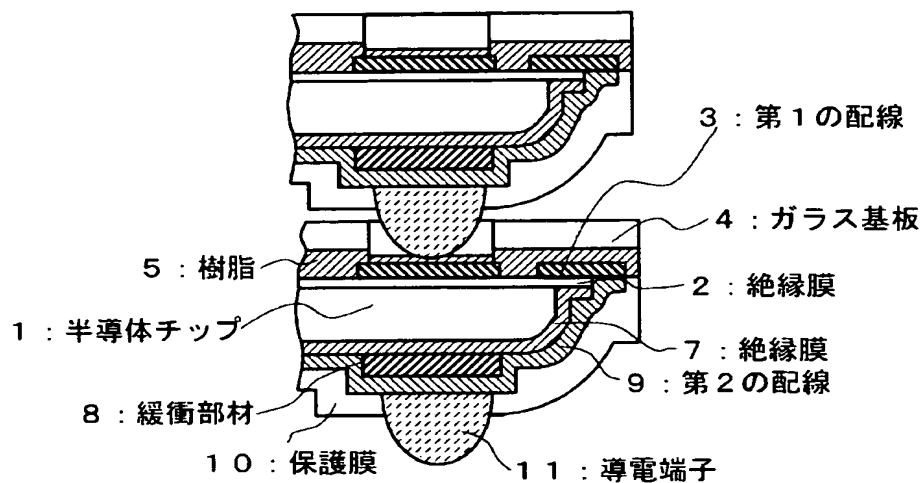
【図 1 1】



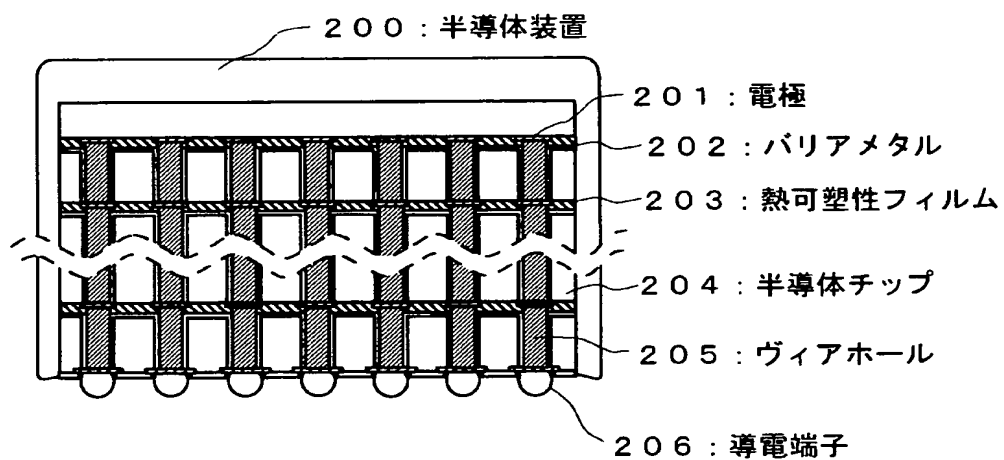
【図 1 2】



【図 13】

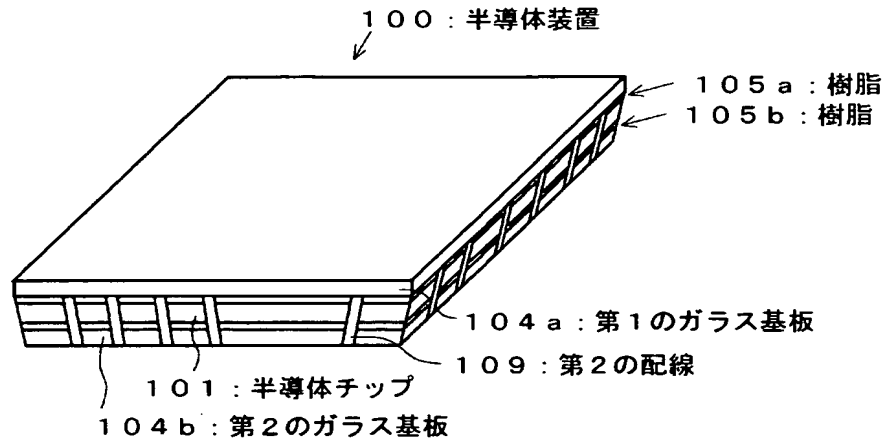


【図 14】

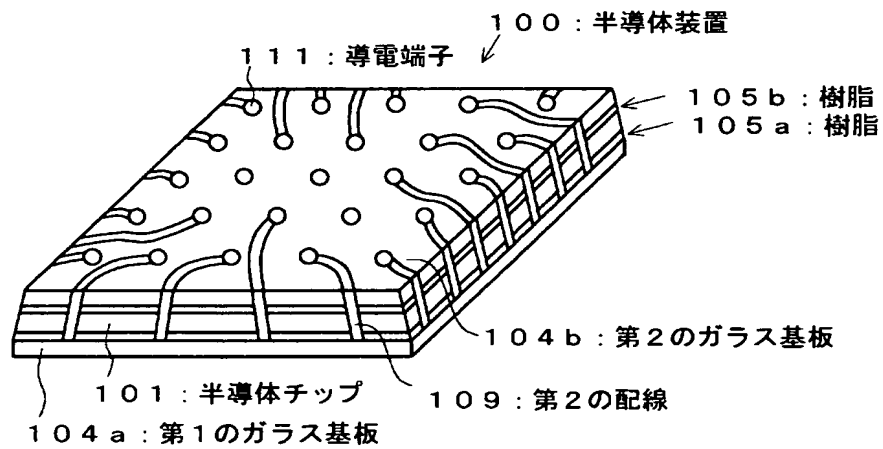


【図 15】

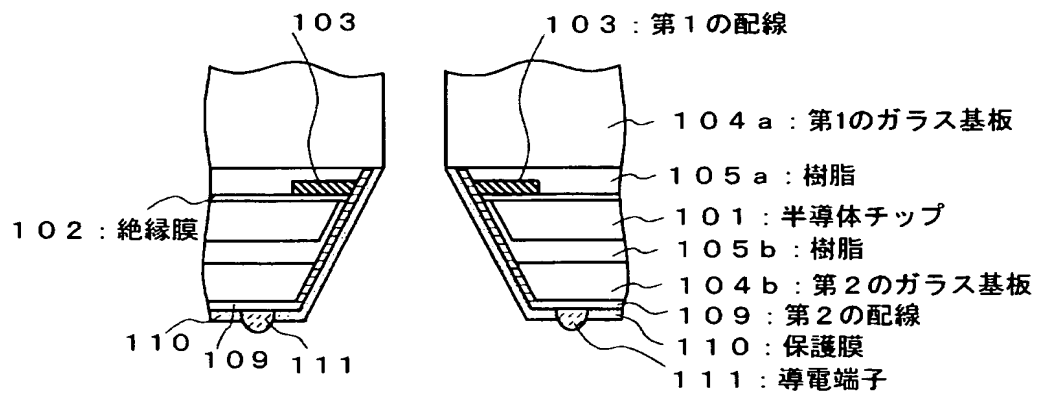
(A)



(B)



【図 16】



【書類名】 要約書

【要約】

【課題】 B G A 型の半導体装置を薄く加工し、これを積層することにより、積層型 M C M を安価に製造できるようにする。

【解決手段】 第 1 の配線 3 が形成された半導体ウエハ 1 a の表面に樹脂 5 を介してガラス基板 4 を接着する。他方の面については、絶縁膜 7 を成膜し、レジストマスクを用いたエッチングの後、第 1 の配線 3 の底面に接触し裏面の導電端子に延在する第 2 の配線 9 を設ける。さらに、その後、保護膜 1 0 を形成し、金バンプ等を用いた導電端子 1 1 を取りつける。その後、ガラス基板 4 を研磨し、ガラス基板をレジストマスクによってエッチングすることで、他のチップと接続するための、パッドとなる部分を形成する。これを、境界 S に沿って裏面側から切断することで、積み重ねることが可能な、B G A 型の半導体装置ができる。

【選択図】 図 1 3

特願 2 0 0 3 - 1 2 0 2 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社